

## KOREAN PATENT ABSTRACTS

(11) Publication number: 100224705 B1  
 (43) Date of publication of application: 15.07.1999

(21) Application number: 1019960029881  
 (22) Date of filing: 23.07.1996

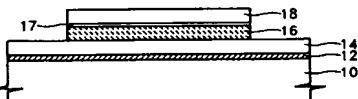
(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.  
 (72) Inventor: KIM, BYEONG HUI  
 PARK, IN SEON

(51) Int. Cl H01L 27/108

## (54) FERROELECTRIC CAPACITOR OF SEMICONDUCTOR AND FABRICATING METHOD THEREOF

## (57) Abstract:

PURPOSE: A ferroelectric capacitor of a semiconductor device and fabrication method thereof are provided to prevent the lifting phenomenon of a top electrode after a following process by improving the adhesion between a ferroelectric film and the top electrode, and to reduce the damage of the ferroelectric film due to a TiO<sub>2</sub> film formed between the top electrode and the ferroelectric film.



CONSTITUTION: A contact hole to connect a bottom electrode of a capacitor with a conductive part of a semiconductor substrate is formed on an insulation film(10) like a BPSG(Boro Phosphor Silicate Glass) of the substrate where the insulation film is formed. After forming a contact plug by depositing a polycrystalline silicon to bury the contact hole, a barrier layer(12) is formed by depositing TiN, WN, TiSiN, TaSiN or TiWN with a sputtering or chemical vapor deposition(CVD) method in order to suppress the reaction between the conductive material of the contact plug and the bottom electrode material of the capacitor. After forming a bottom electrode(14) by depositing Pt on the barrier layer, a ferroelectric film(16) comprising one of PZT, PbTiO<sub>3</sub>, PbLaTiO<sub>3</sub>, BST, BaTiO<sub>3</sub>, Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> and SrTiO<sub>3</sub>. Then, a TiO<sub>2</sub>(17) is deposited on the ferroelectric film. And, then, a top electrode(18) is formed by sputtering Pt on the TiO<sub>2</sub> film. Then, a ferroelectric capacitor is completed by patterning the top electrode, the TiO<sub>2</sub> film and the ferroelectric film simultaneously with a photolithography process.

COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (19990623)

Patent registration number (1002247050000)

Date of registration (19990715)

# 인용발명 1(한국등록특허번호 제0224705호(1999. 10. 15)) 1부.

[첨부그림 1]

10-0224705

## (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 27/108	(45) 공고일자 1999년10월15일 (11) 등록번호 10-0224705 (24) 등록일자 1999년07월15일
(21) 출원번호 10-1996-0029881 (22) 출원일자 1996년07월23일	(65) 공개번호 특1998-0012499 (43) 공개일자 1998년04월30일

(73) 특허권자 삼성전자주식회사 운증용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 김병희  
서울특별시 마포구 망원동 415-49  
박언선  
(74) 대리인 서울특별시 송파구 잠실2동 주공아파트 213동 205호  
권석희, 이영필, 정상빈

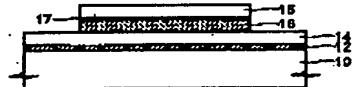
설명 : 조작은

## (54) 반도체장치의 강유전체 캐퍼시터 및 그 제조방법

### 요약

신규한 반도체장치의 강유전체 캐퍼시터 제조방법이 개시되어 있다. 반도체 기판의 소정 도전성 부위에 전속되어 하부전극이 형성되고, 그 위에 강유전체막이 형성된다. 상기 강유전체막 상에 티타늄산화막(TiO<sub>2</sub>막)이 형성되고, 그 위에 상부전극이 형성된다. TiO<sub>2</sub>막이 강유전체막과 상부전극 모두에 대해 부착력이 좋으므로, 상부전극의 뜰뜸 현상이 발생하지 않고 캐퍼시터의 특성이 향상된다.

### 도표도



### 도면

#### 도면의 간단한 설명

제1도는 종래방법에 의해 제조된 강유전체 캐퍼시터의 구조를 나타내는 단면 도도.

제2도 내지 제4도는 본 발명의 일 실시예에 의한 반도체장치의 강유전체 캐퍼시터 제조방법을 설명하기 위한 단면도들.

제5도는 본 발명의 다른 실시예에 의한 반도체장치의 강유전체 캐퍼시터 제조 방법을 설명하기 위한 단면도들.

제6도는 종래방법과 본 발명에 의해 제조된 강유전체 캐퍼시터에 있어서, 제1 및 제2 금속배선 공정 후의 분극값을 비교하여 나타낸 그래프.

\* 도면의 주요부분에 대한 부호의 설명

10 : 절연막	12 : 장벽층
14 : 하부전극	16 : 강유전체막
17 : TiO <sub>2</sub> 막	18 : 상부전극

### 도면의 상세한 설명

#### 도면의 목적

#### 도면이 속하는 기술분야 및 그 분야의 전례기술

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 특히 강유전체(ferroelectric) 메모리소자의 제작에 있어서 강유전체와 전극과의 부착력(adhesion)을 향상시킬 수 있는 반도체장치의 강유전체 캐퍼시터

및 그 제조방법에 관한 것이다.

반도체 메모리소자의 접적도가 증가함에 따라, 제한된 셀 면적내에서 커패시턴스를 증가시키기 위한 많은 방법들이 제안되고 있는데, 보통 다음의 세 가지로 나누어질 수 있다. 즉, ① 유전체막을 박막화하는 방법, ② 커패시터의 유효면적을 증가시키는 방법, 및 ③ 유전상수가 큰 물질을 사용하는 방법이 그것이다.

이 중, 첫번째 방법은 유전체막의 두께를 100 Å 미하로 박막화하는 경우 파울러 노드하임(Fowler-Nordheim) 전류에 의해 신뢰성이 저하되므로 대용량 메모리 소자에 적용하기가 어렵다는 단점이 있다.

두번째 방법은, 3차원 구조의 커패시터를 제조하기 위하여 공정이 복잡해지고 이에 따라 공정단기가 상승하게 되는 단점이 있다.

따라서, 최근에는 세번째 방법인, 유전상수가 큰 페로브스카이트(Perovskite) 구조의 강유전체, 예컨대 PZT ( $PbZrTiO_4$ )나 BST ( $BaSrTiO_3$ ) 계열을 유전체막으로서 사용하는 방법이 제안되고 있다. 강유전체는 기존의 실리콘산화막, 실리콘질화막, 또는 산화탄탈륨( $Ta_2O_5$ )막과는 달리 자발분극(spontaneous polarization) 현상을 갖고, 유전상수가 복크(bulk) 상태에서 보통 수백~1,000 Å 정도의 물질을 말한다. 이러한 강유전체를 유전체막으로 사용하는 경우, 상기 강유전체를 500 Å 이상의 헐막(thin film)으로 형성하여도 헐막-산화막 두께(equivalent oxide thickness)를 10 Å 미하로 박막화할 수 있다는 장점이 있다. 이러한 강유전체를 커패시터의 유전막으로 사용하기 위해서는 강유전체의 상하에 형성되는 전극 물질이 중요한데, 상기 PZT나 BST 계열의 강유전체를 사용할 때 커패시터의 전극을 구성하는 물질은, ① 전극 위에서 페로브스카이트 구조의 형성이 가능한 것, ② 전극과 강유전체막과의 계면에 저 유전체막이 생성되지 않아야 할 것, ③ 실리콘 또는 강유전체의 구성 원자들간에 상호작용이 일어나지 않을 것, ④ 전극의 패터닝이 용이해야 할 것, 등의 조건들을 만족하여야 한다. 현재 BST 및 PZT의 전극물질로는 플라티늄(Pt), 루테늄(Ru), 미리듐(Ir)등의 귀금속 금속, 즉 내열성 금속 및 산화루테늄( $RuO_2$ )이나 산화이리듐( $IrO_2$ ) 등의 도전성 산화물이 연구되고 있는데, 이 중에서 플라티늄(Pt)이 가장 많이 사용되고 있다.

제1도는 증래방법에 의한 강유전체 커패시터의 구조를 나타내는 단면도이다.

제1도를 참조하면, BPSG(borophosphosilicate glass)와 같은 절연막(10)이 형성되어 있는 반도체기판(도시되지 않은)의 상기 절연막(10)에 기판의 도전성부위와 커패시터의 하부전극을 접속시키기 위한 코넥팅(도시되지 않은)을 형성한 후, 상기 코넥팅을 매립하도록 도전물질을 증착하여 콘택 플러그(도시되지 않은)를 형성한다. 이어서, 상기 콘택 플러그를 구성하고 있는 도전물질과 커패시터의 하부전극 물질과의 반응을 억제하기 위하여, 예컨대 티타늄나이트라이드(TiN)를 증착하여 장벽층(barrier layer)(12)을 형성한다. 상기 장벽층(12) 위에 플라티늄을 스퍼터링법으로 증착하여 하부전극(14)을 형성한 후, 그 위에 PZT 또는 BST로 이루어진 강유전체막(16)을 형성한다. 상기 강유전체막(16) 상에 다시 플라티늄을 스퍼터링법으로 증착하여 상부전극(18)을 형성한 후, 포토리소그라피 공정으로 상기 상부전극(18) 및 강유전체막(16)을 동시에 패터닝한다.

상술한 증래의 강유전체 커패시터 제조방법에 의하면, 다음과 같은 문제점들이 발생한다.

첫째, 강유전체막과 상부전극과의 부착력이 좋지 않기 때문에 후속공정 진행 후 상부전극의 틈틈(lifting) 현상이 발생하기 쉽다. 즉, 상기 상부전극의 패터닝시 그 틈틈이 발생하여, 커패시터의 완성 후 틈간찰연막을 두껍게 증착할 때도 막질 간의 스트레스로 인하여 상부전극의 틈틈 현상이 계속 심화된다.

둘째, 상부전극과 강유전체막과의 부착력 불량으로 인하여 커패시터의 특성으로 열화된다.

셋째, 상부전극의 증착시 스퍼터링에 의해 PZT와 같은 강유전체막이 손상을 입는다.

#### 발명이 이루고자 하는 기술적 과정

따라서, 본 발명의 목적은 상술한 증래방법의 문제점을 해결할 수 있는 반도체 장치의 강유전체 커패시터를 제공하는데 있다.

본 발명의 다른 목적은 상기 커패시터를 제조하는데 특히 적합한 반도체장치의 강유전체 커패시터 제조방법을 제공하는데 있다.

#### 발명의 구성 및 특징

상기 목적을 달성하기 위하여 본 발명은, 반도체기판의 소정 도전성 부위에 접속되어 형성된 하부전극, 상기 하부전극 상에 형성된 강유전체막, 상기 강유전체 막 상에 형성된 티타늄산화막( $TiO_2$ ), 및 상기  $TiO_2$  막 상에 형성된 상부전극을 구비하는 것을 특징으로 하는 반도체장치의 강유전체 커패시터를 제공한다.

상기  $TiO_2$ 의 두께는 터널링 전류가 흐를 수 있을 정도인 수십 Å 이내인 것이 바람직하다.

상기 하부전극 및 상부전극을 구성하는 물질은 플라티늄(Pt), 루테늄(Ru), 미리듐(Ir), 산화루테늄( $RuO_2$ ) 및 산화이리듐( $IrO_2$ )의 군에서 선택된 어느 하나인 것이 바람직 하다.

상기 강유전체막은 PZT ( $PbZrTiO_4$ ),  $PbTiO_3$ ,  $PbLaTiO_3$ , BST ( $BaSrTiO_3$ ),  $BaTiO_3$ ,  $Bi_2Ti_3O_7$ ,  $SrBi_2Ta_2O_9$  및  $SrTiO_3$ 의 군에서 선택된 어느 하나인 것이 바람직하다.

상기 다른 목적을 달성하기 위하여 본 발명은, 반도체기판 상에 상기 기판의 소정 도전성 부위에 접속되어 하부전극을 형성하는 단계, 상기 하부전극 상에 형성된 강유전체막을 형성하는 단계, 상기 강유전체 막 상에  $TiO_2$  막을 형성하는 단계, 및 상기  $TiO_2$  막 상에 상부전극을 형성하는 단계를 구비하는 것을 특징

으로 하는 반도체장치의 강유전체 캐퍼시터 제조방법을 제공한다.

상기 상부전극을 형성하는 단계 후, 포토리소그라피 공정으로 상기 상부전극,  $TiO_2$ 막 및 강유전체막을 동시에 패터닝하는 단계를 더 구비할 수 있다.

또한, 상기 상부전극을 형성하는 단계 후, 제1 마스크를 이용한 포토리소그라피 공정으로 상기  $TiO_2$ 막 및 강유전체막을 동시에 패터닝하는 단계, 및 제2 마스크를 이용한 포토리소그라피 공정으로 상기  $TiO_2$ 막 및 강유전체막을 동시에 패터닝하는 단계를 더 구비 할 수 있다. 여기서, 상기 상부전극의 패터닝시, 상기  $TiO_2$ 막이 삭각저지층으로 작용한다.

이하, 본 발명의 바탕작한 실시예를 첨부한 도면을 참조하여 상세히 설명하고자 한다.

제2도 내지 제4도는 본 발명의 일 실시예에 의한 반도체장치의 강유전체 캐퍼시터 제조방법을 설명하기 위한 단면도들이다.

제2도를 참조하면, 그 위에 BPSG와 같은 절연막(10)이 형성되어 있는 반도체 기판(도시되지 않음)의 상기 절연막(10)에 기판의 도전성부위와 캐퍼시터의 하부전극을 접속시키기 위한 콘택홀(도시되지 않음)을 형성한다. 상기 콘택홀을 매립하도록 도전홀을, 예컨대 다결정실리콘을 증착하여 콘택홀러그(도시되지 않음)를 형성한 후, 상기 콘택홀러그를 구성하고 있는 도전홀과 캐퍼시터의 하부전극 물질과의 반응을 억제하기 위해,  $TiN$ ,  $WN$ ,  $TiSiN$ ,  $TaSiN$ , 또는  $TiW$  등을 스퍼터링 또는 화학기상증착(CVD) 방법으로 증착하여 장벽층(12)을 형성한다. 상기 장벽층(12) 위에 퀼리티늄을 스퍼터링법으로 증착하여 하부전극(14)을 형성한 후, 그 위에  $Pt$  ( $PbZrTiO_4$ ),  $PbTiO_4$ ,  $BSI$  ( $BaSrTiO_4$ ),  $BaTiO_4$ ,  $Bi_2Ti_3O_7$ ,  $SrBi_2Ta_2O_9$  및  $STiO_4$ 의 군에서 선택된 어느 하나로 이루어진 강유전체막(16)을 형성한다.

제3도를 참조하면, 상기 강유전체막(16) 상에, 강유전체막과 후속공정에서 형성될 상부전극 모두에 대해 부착력이 없으면서 상기 강유전체막과의 반응성이 없는 물질, 예컨대  $TiO_2$ (17)를 증착한다. 이때, 상기  $TiO_2$ 막(17)의 두께는 터널링 전류가 흐를 수 있을 정도인 수십 Å 미내인 것이 바람직하다. 이어서, 상기  $TiO_2$ 막(17) 상에 플라티늄을 스퍼터링법으로 증착하여 상부전극(18)을 형성한다.

제4도를 참조하면, 포토리소그라피 공정으로 상기 상부전극(18),  $TiO_2$ 막(17) 및 강유전체막(16)을 동시에 패터닝함으로써, 강유전체 캐퍼시터를 완성한다.

제5도는 본 발명의 다른 실시예에 의한 반도체장치의 강유전체 캐퍼시터 제조 방법을 설명하기 위한 단면도들이다.

제5도를 참조하면, 상술한 제2도 및 제3도의 공정들을 동일하게 진행한 후, 제1 마스크를 이용한 포토리소그라피 공정으로 상부전극(18)을 패터닝한다. 이어서, 상기 제1 마스크와는 다른 제2 마스크를 이용한 포토리소그라피 공정으로  $TiO_2$ 막(17) 및 강유전체막(16)을 동시에 패터닝함으로써, 강유전체 캐퍼시터를 완성하는 단계를 더 구비할 수 있다. 여기서, 상기 상부전극(18)의 패터닝시, 상기  $TiO_2$ 막(17)이 삭각저지층으로 작용한다.

제6도는 증래방법과 본 발명에 의해 제조된 강유전체 캐퍼시터에 있어서, 제1 및 제2 금속배선 공정 후의 분극값을 비교하여 나타낸 그림이다. 여기서, □와 ■는 본 발명에 의해 제조된 캐퍼시터에서 있어서 그 면적이 작은 경우와 넓은 경우를 각각 나타내며, ○와 ●는 증래방법에 의해 제조된 캐퍼시터에서 있어서 그 면적이 작은 경우와 넓은 경우를 각각 나타낸다.

도 6을 참조하면, 증래방법에 의해 제조된 캐퍼시터의 경우(○, ●) 강유전체막과 상부전극의 부착력이 나쁘기 때문에 전계(electric field)가 캐퍼시터의 전면적에 효율적으로 전달되지 못하여 금속배선 공정을 진행한 후에도 분극값이 현저하게 감소한다. 반면에, 본 발명의 경우는(□, ■) 강유전체막과 상부전극 사이에  $TiO_2$ 막을 삽입시켜서 부착력을 향상시키기 때문에 분극값이 감소되는 정도가 증래방법에 비해 적게 나타난다. 또한, 캐퍼시터의 면적이 넓은 경우(■, ●)가 좁은 경우(□, ○)보다 분극값의 감소가 현저하게 나타나는데, 이는 넓은 캐퍼시터 면적에서 적용되는 압축간의 스트레스가 크게 영향을 미치기 때문이다.

#### 본 발명의 효과

상술한 바와 같이 본 발명에 의하면, 강유전체와 상부전극 모두에 대해 부착력이 좋으면서 상기 강유전체와의 반응성이 없는  $TiO_2$ 에 형성함으로써, 다음과 같은 효과들을 얻을 수 있다.

첫째, 강유전체와 상부전극의 부착력이 좋아져서, 후속공정의 진행 후에도 상기 상부전극의 틀림 현상이 발생하지 않는다.

둘째, 강유전체와 상부전극의 부착력이 좋아져서, 후속공정의 진행 후에도 상기 상부전극의 틀림 현상이 발생하지 않는다.

셋째, 상부전극을 스퍼터링법으로 증착할 때, 상부전극과 강유전체 사이에 형성된  $TiO_2$ 막으로 인하여 상기 강유전체의 손상을 최소한으로 줄일 수 있다.

본 발명이 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

#### (5) 검구의 범위

## 첨구함 1

반도체기판의 소정 도전성 부위에 접속되어 형성된 하부전극, 상기 하부전극 상에 형성된 강유전체막, 상기 강유전체막 상에 형성된 티탄늄산화막( $TiO_2$ ), 및 상기  $TiO_2$ 막 상에 형성된 상부전극을 구비하며, 상기  $TiO_2$ 막의 두께의 터널링 전류가 흐를 수 있을 정도로 수십 Å 이내인 것을 특징으로 하는 반도체장치의 강유전체 캐패시터.

## 첨구함 2

제1항에 있어서, 상기 하부전극 및 상부전극을 구성하는 물질은 플라티늄(Pt), 루테늄(Ru), 미리듐(Ir), 산화루데뮴(RuO<sub>2</sub>) 및 산화미리듐(IrO<sub>2</sub>)의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체장치의 강유전체 캐패시터.

## 첨구함 3

제1항에 있어서, 상기 강유전체막은 PZT( $PbZrTiO_4$ ),  $PbTiO_3$ ,  $PbLaTiO_3$ , BST( $BaSrTiO_3$ ),  $BaTiO_3$ ,  $Bi_2Ti_3O_7$ ,  $SrBi_2Ta_2O_9$ , 및  $SrTiO_3$ 의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체장치의 강유전체 캐패시터.

## 첨구함 4

반도체기판 상에 상기 기판의 소정 도전성 부위에 접속되도록 하부전극을 형성하는 단계, 상기 하부전극 상에 형성된 강유전체막을 형성하는 상기 강유전체막 상기  $TiO_2$ 막을 형성하는 단계, 및 상기  $TiO_2$ 막 상에 상부전극을 형성하는 단계를 구비하며, 상기  $TiO_2$ 막의 두께는 터널링 전류가 흐를 수 있을 정도인 수십 Å 이내인 것을 특징으로 하는 반도체장치의 강유전체 캐패시터.

## 첨구함 5

제4항에 있어서, 상기 상부전극을 형성하는 단계 후, 포토리소그라피 공정으로 상기 상부전극,  $TiO_2$ 막 및 강유전체막을 동시에 패터닝하는 단계를 더 구비하는 것을 특징으로 하는 반도체장치의 강유전체 캐패시터 제조방법.

## 첨구함 6

제4항에 있어서, 상기 상부전극을 형성하는 단계 후, 제1 마스크를 이용한 포토리소그라피 공정으로 상기 상부전극을 패터닝하는 단계, 및 제2 마스크를 이용한 포토리소그라피 공정으로 상기  $TiO_2$ 막 및 강유전체막을 동시에 패터닝하는 단계를 더 구비하는 것을 특징으로 하는 반도체장치의 강유전체 캐패시터 제조방법.

## 첨구함 7

제6항에 있어서, 상기 상부전극의 패터닝시, 상기  $TiO_2$ 막이 식각저지층으로 작용하는 것을 특징으로 하는 반도체장치의 가유전체 캐패시터 제조방법.

## 첨구함 8

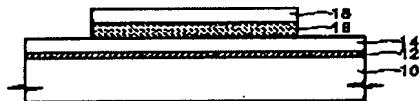
제4항에 있어서, 상기 하부전극 및 상부전극을 구성하는 물질은 플라티늄(Pt), 루테늄(Ru), 미리듐(Ir), 산화루데뮴(RuO<sub>2</sub>) 및 산화미리듐(IrO<sub>2</sub>)의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체장치의 강유전체 캐패시터 제조방법.

## 첨구함 9

제4항에 있어서, 상기 강유전체막은 PZT( $PbZrTiO_4$ ),  $PbTiO_3$ ,  $PbLaTiO_3$ , BST( $BaSrTiO_3$ ),  $BaTiO_3$ ,  $Bi_2Ti_3O_7$ ,  $SrBi_2Ta_2O_9$ , 및  $SrTiO_3$ 의 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체장치의 강유전체 캐패시터 제조방법.

## 도면

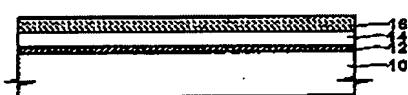
## 도면1



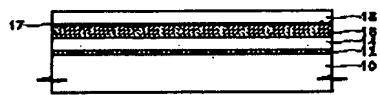
[첨부그림 5]

10-0224705

도면2



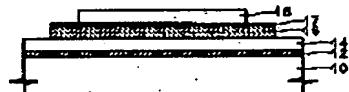
도면3



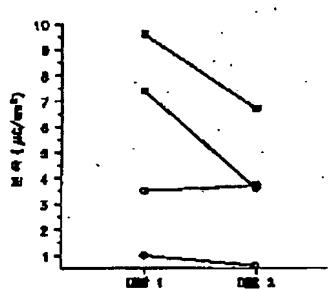
도면4



도면5



도면6



5-5

5-5